



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002076141 A**(43) Date of publication of application: **15.03.02**

(51) Int. Cl. **H01L 21/8242**  
**C23C 16/30**  
**H01L 21/318**  
**H01L 27/108**

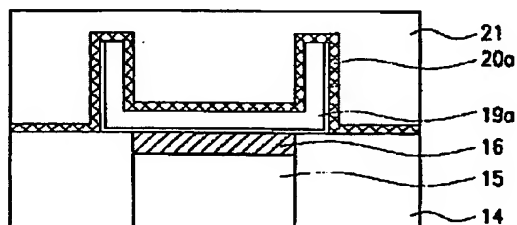
(21) Application number: **2001163267**(22) Date of filing: **30.05.01**(30) Priority: **01.06.00 KR 2000 200030091**(71) Applicant: **HYNIX SEMICONDUCTOR INC**(72) Inventor: **KIM KYONG-MIN**  
**SONG HAN SANG****(54) METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR MEMORY ELEMENT****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing the capacitor of a semiconductor memory element capable of improving the electric characteristic of the capacitor by improving the step coverage of a lower electrode.

**SOLUTION:** The method includes a stage for successively embedding a plug polysilicon film and a barrier metal film in the contact hole of an interlayer insulation film on a semiconductor board, a stage for depositing a cap oxido film, a stage for exposing the interlayer insulation film and a barrier metal film, a stage for forming the nitriding film of a thin film on the whole face by NH<sub>3</sub> gas plasma processing, a stage for depositing a ruthenium film for a lower electrode on the nitriding film, a stage for removing the cap oxido film and forming the lower electrode after the ruthenium film and the nitriding film are chemically and mechanically polished, a stage for removing the cap oxido film to form the lower electrode, a stage for depositing an amorphous TaON thin film on the lower electrode, a stage for thermally treating and

crystallizing the amorphous TaON thin film, and a stage for depositing the metal film on the crystallization TaON thin film as an upper electrode.

COPYRIGHT: (C)2002,JPO





(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-76141

(P 2 0 0 2 - 7 6 1 4 1 A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

ターコード<sup>7</sup> (参考)

H01L 21/8242

C23C 16/30

4K030

C23C 16/30

H01L 21/318

C 5F058

H01L 21/318

27/10

621

C 5F083

27/108

651

審査請求 未請求 請求項の数14 O L (全6頁)

(21)出願番号 特願2001-163267(P 2001-163267)

(22)出願日 平成13年5月30日(2001.5.30)

(31)優先権主張番号 2 0 0 0 - 3 0 0 9 1

(32)優先日 平成12年6月1日(2000.6.1)

(33)優先権主張国 韓国 (K R)

(71)出願人 591024111

株式会社ハイニックスセミコンダクター  
大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(72)発明者 金 京 民

大韓民国京畿道安養市萬安區安養 4 洞 ヒ  
ヨクサンアパートメント 2-1109

(72)発明者 宋 ▲ 翰 ▼ 相

大韓民国ソウル瑞草區瑞草洞1326-17 ウ  
ーシングアパートメント501-2209

(74)代理人 100065215

弁理士 三枝 英二 (外 1 0 名)

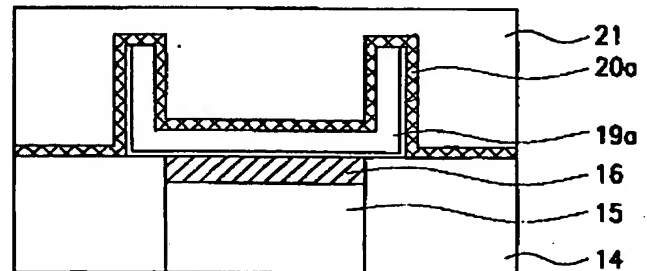
最終頁に続く

(54)【発明の名称】半導体メモリ素子のキャパシタの製造方法

(57)【要約】

【課題】下部電極のステップカバレッジを向上させることにより、キャパシタの電気的特性を向上させることができる半導体メモリ素子のキャパシタの製造方法を提供する。

【解決手段】半導体基板上の層間絶縁膜のコンタクトホール内に、プラグポリシリコン膜とバリヤー金属膜とを順次埋め込む段階；キャップオキシド膜を蒸着する段階；層間絶縁膜とバリヤー金属膜とを露出させる段階；NH<sub>3</sub>ガスプラズマ処理により全面に薄膜の窒化膜を形成する段階；窒化膜上に下部電極用ルテニウム膜を蒸着する段階；ルテニウム膜と窒化膜を化学機械研磨した後、キャップオキシド膜を除去して下部電極を形成する段階；下部電極上に非晶質TaON薄膜を蒸着する段階；非晶質TaON薄膜を熱処理して結晶化させる段階；結晶化TaON薄膜上に上部電極として金属膜を蒸着する段階を含む方法。



## 【特許請求の範囲】

【請求項1】半導体基板全面にプラズマ処理により窒化膜を形成する段階；前記窒化膜上にルテニウム膜を形成する段階；前記ルテニウム膜上に非晶質TaON薄膜を形成する段階；前記非晶質TaON薄膜を熱処理することにより結晶化させる段階及び前記結晶化したTaON薄膜上に上部電極を形成する段階を含むことを特徴とする半導体メモリ素子のキャパシタの製造方法。

【請求項2】前記窒化膜の形成を、 $\text{NH}_3$ ガスの流量を1～900sccmとし、高周波電力を3～900ワットとし、圧力を0.1～2 Torrに維持し、処理時間を2～900秒として、プラズマ処理することにより行う請求項1記載の半導体メモリ素子のキャパシタの製造方法。

【請求項3】前記ルテニウム膜の形成を、原料物質のtris (2,4-octanedionate) Ruを気相状態にし、半導体基板の温度を200℃～350℃に維持し、反応ガスの $\text{O}_2$ の流量を2～900sccmに維持し、反応炉の圧力を2mTorr～9Torrに維持して行う請求項1記載の半導体メモリ素子のキャパシタの製造方法。

【請求項4】前記非晶質TaON薄膜の形成を、原料物質のタンタルエチレート ( $\text{Ta}(\text{OC}_2\text{H}_5)_3$ ) を170～190℃に維持した気化器で気相状態にし、0.1～1.2Torrの圧力及び300～400℃の温度を維持するとともに、10～1000sccm流量で $\text{NH}_3$ ガスを供給したLPCVDチャンバー内で、 $\text{NH}_3$ と前記原料物質から得られたTa化学蒸気との反応により、LPCVD方式で行う請求項1記載の半導体メモリ素子のキャパシタの製造方法。

【請求項5】前記非晶質TaON薄膜を結晶化する前に、キャパシタの電気的特性を考慮して、後統熱工程として、300～500℃での $\text{N}_2/\text{O}_2$ プラズマ処理又はUV/ $\text{O}_2$ 処理を追加して行う請求項1記載の半導体メモリ素子のキャパシタの製造方法。

【請求項6】前記非晶質TaON薄膜の結晶化を、 $\text{N}_2$ ガスと $\text{O}_2$ とを利用した、500～650℃でのRTPにより行う請求項1記載の半導体メモリ素子のキャパシタの製造方法。

【請求項7】前記結晶化したTaON薄膜上に、上部電極としてルテニウム膜又はTiN膜を形成する請求項1記載の半導体メモリ素子のキャパシタの製造方法。

【請求項8】半導体基板上に形成された層間絶縁膜のコンタクトホール内に、プラグポリシリコン膜及びバリアー金属膜としてのTi/TiN膜を順次埋め込んだ半導体基板を作製する段階；前記半導体基板上にキャップオキシド膜を形成する段階；キャパシタ領域を限定し(define)、層間絶縁膜とバリアー金属膜が露出するように、前記キャップオキシド膜をバタニングする段階；基板全面にプラズマ処理により窒化膜を形成する段階；前記窒化膜上に下部電極用ルテニウム膜を形成する段階；前記下部電極用ルテニウム膜と前記窒化膜を化学機械研磨した後、キャップオキシド膜を除去して下部電極を形成す

る段階；前記下部電極上に非晶質TaON薄膜を形成する段階；前記非晶質TaON薄膜をRTPにより結晶化させる段階及び前記結晶化したTaON薄膜上に、上部電極としてルテニウム膜又はTiN膜を形成する段階を含むことを特徴とする半導体メモリ素子のキャパシタの製造方法。

【請求項9】前記バタニングされたキャップオキシド膜の上への窒化膜の形成を、 $\text{NH}_3$ ガスの流量を1～900sccmとし、高周波電力を3～900ワットとし、圧力を0.1～2 Torrに維持し、処理時間を2～900秒として、プラズマ処理することにより行う請求項8記載の半導体メモリ素子のキャパシタの製造方法。

【請求項10】前記下部電極用ルテニウム膜の形成を、原料物質のtris (2,4-octanedionate) Ruを気相状態にし、半導体基板の温度を200～350℃に維持し、反応ガスの $\text{O}_2$ の流量を2～900sccmに維持し、反応炉の圧力を2mTorr～9Torrに維持して行う請求項8記載の半導体メモリ素子のキャパシタの製造方法。

【請求項11】前記非晶質TaON薄膜の形成を、原料物質のタンタルエチレート ( $\text{Ta}(\text{OC}_2\text{H}_5)_3$ ) を170～190℃に維持した気化器で気相状態にし、0.1～1.2Torrの圧力及び300～400℃の温度を維持するとともに、10～1000sccmの流量で $\text{NH}_3$ ガスを供給したLPCVDチャンバー内で、 $\text{NH}_3$ と前記原料物質から得られたTa化学蒸気との反応により、LPCVD方式で行う請求項8記載の半導体メモリ素子のキャパシタの製造方法。

【請求項12】前記非晶質TaON薄膜を結晶化する前に、キャパシタの電気的特性を考慮して、後統熱工程として、300～500℃での $\text{N}_2/\text{O}_2$ プラズマ処理又はUV/ $\text{O}_2$ 処理を追加して行う請求項8記載の半導体メモリ素子のキャパシタの製造方法。

【請求項13】前記非晶質TaON薄膜の結晶化を、 $\text{N}_2$ ガスと $\text{O}_2$ とを利用した、500～650℃でのRTPにより行う請求項8記載の半導体メモリ素子のキャパシタの製造方法。

【請求項14】前記結晶化したTaON薄膜上に、上部電極としてルテニウム膜又はTiN膜を形成する請求項8記載の半導体メモリ素子のキャパシタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体メモリ素子のキャパシタ製造方法に関し、より具体的には、キャパシタンスを増大させながらもリーク電流を防止することができる半導体メモリ素子のキャパシタの製造方法に関するものである。

## 【0002】

【従来の技術】最近半導体製造技術の発達とともに、メモリ素子の需要が急増している。半導体素子において、データ貯蔵手段に利用されるキャパシタのキャパシタンスは、電極の面積、電極間の距離及び両電極の間に挿入される誘電膜の誘電率に依存する。

【0003】ところが、半導体装置が高集積化されるに従い半導体装置のキャパシタ形成領域が減少し、その結果キャパシタの電極面積が小さくなり、キャパシタの静電容量が減少する。

【0004】このことから、従来の発明では金属膜-誘電膜-金属膜 (MIM) のキャパシタ構造においては、下部電極としてルテニウム膜を蒸着し、その上に高誘電率を有するTaON膜を蒸着し、該誘電膜上に金属膜を蒸着することにより、TaONキャパシタの静電容量を最大化している。

【0005】図1及び図2は、従来の半導体メモリ素子のキャパシタの製造方法を説明するための工程断面図である。

【0006】従来の半導体素子のキャパシタの製造方法によると、図1に示すようにモストランジスタ (未図示) が備えられ、接合領域 (未図示) のうち何れか一つを露出させるコンタクトホールを有する層間絶縁膜

(4) 上に、プラグポリシリコン膜 (5) とバリヤー金属膜としてのTi/TiN膜 (6) を順次埋め込んだ半導体基板 (未図示) を作製する。

【0007】その次に、前記結果物上にシリンドラ構造のキャパシタを形成するためキャップオキシド膜を蒸着する。

【0008】次いで、キャパシタ領域を限定し(define)、層間絶縁膜 (4) とバリヤー金属膜 (6) が露出するように、前記キャップオキシド膜をパターニングする。

【0009】その次に、前記パターニングされたキャップオキシド膜 (7) の全面に下部電極用ルテニウム膜 (8) を蒸着する。このとき、前記下部電極用ルテニウム膜 (8) は、公知の方式によりCVD (chemical vapor deposition) 方法で蒸着する。

【0010】次いで、図2に示すように、前記ルテニウム膜 (8) をキャップオキシド膜 (7) が露出するように化学機械研磨した後、キャップオキシド膜を除去してシリンドラ構造のルテニウム膜 (8a) を下部電極として形成し、前記シリンドラ構造のルテニウム膜 (8a) 上に誘電率の優れたTaON薄膜 (9) を形成し、前記TaON薄膜 (9) 上に上部電極 (10) を形成することにより、半導体メモリ素子のキャパシタを完成させる。

【0011】しかし、従来の半導体メモリ素子のキャパシタの製造方法においては次のような問題点がある。

【0012】従来技術では、前記のような金属膜を下部電極として用いる場合、下部電極の膜質及びステップカバレッジ (step coverage) によって、リーク電流の特性を改善させることができる。

【0013】しかし、前記CVD方法でルテニウム膜を形成する場合、オキシド膜上の成膜速度が非常に遅いだけでなく、下部構造になるに従い部分的にルテニウム膜の形成が不均一になってステップカバレッジが不良になる

可能性があり、TaON薄膜キャパシタの電気的特性が低下する。

【0014】

【発明が解決しようとする課題】ここに、本発明は前記の問題点を解決するため考案されたものであり、下部電極のステップカバレッジを向上させることにより、キャパシタの電気的特性を向上させることができる半導体メモリ素子のキャパシタの製造方法を提供することにその主目的がある。

【0015】

【課題を解決するための手段】前記目的を達成するために、本発明者らは研究を重ね、下部電極としてのルテニウム膜の形成前に、その下部層を窒化して均一な膜厚の窒化膜を形成しておくことにより、ルテニウム膜のステップカバレッジを改善できることを見出し、本発明を完成させた。

【0016】前記知見に基づき、本発明は、半導体基板全面にプラズマ処理により窒化膜を形成する段階；前記窒化膜上にルテニウム膜を形成する段階；前記ルテニウム膜上に非晶質TaON薄膜を形成する段階；前記非晶質TaON薄膜を熱処理することにより結晶化させる段階及び前記結晶化したTaON薄膜上に上部電極を形成する段階を含むことを特徴とする半導体メモリ素子のキャパシタの製造方法を提供する。

【0017】また、本発明は、半導体基板上に形成された層間絶縁膜のコンタクトホール内に、プラグポリシリコン膜及びバリヤー金属膜としてのTi/TiN膜を順次埋め込んだ半導体基板を作製する段階；前記半導体基板上にキャップオキシド膜を形成する段階；キャパシタ領域を限定し層間絶縁膜とバリヤー金属膜が露出するように、前記キャップオキシド膜をパターニングする段階；基板全面にプラズマ処理により窒化膜を形成する段階；前記窒化膜上に下部電極用ルテニウム膜を形成する段階；前記下部電極用ルテニウム膜と前記窒化膜を化学機械研磨した後、キャップオキシド膜を除去して下部電極を形成する段階；前記下部電極上に非晶質TaON薄膜を形成する段階；前記非晶質TaON薄膜をRTPにより結晶化させる段階及び前記結晶化したTaON薄膜上に、上部電極として金属膜を形成する段階を含む半導体メモリ素子のキャパシタの製造方法を提供する。

【0018】また、本発明は、半導体基板上に形成された層間絶縁膜のコンタクトホール内に、プラグポリシリコン膜及びバリヤー金属膜としてのTi/TiN膜を順次埋め込んだ半導体基板を作製する段階；前記半導体基板上にキャップオキシド膜を形成する段階；キャパシタ領域を限定し層間絶縁膜とバリヤー金属膜が露出するように、前記キャップオキシド膜をパターニングする段階；基板全面にプラズマ処理により窒化膜を形成する段階；前記窒化膜上に下部電極用ルテニウム膜を形成する段階；前記下部電極用ルテニウム膜と前記窒化膜を化学機

械研磨した後、キャップオキシド膜を除去して下部電極を形成する段階；前記下部電極上に非晶質Ta<sub>2</sub>O<sub>5</sub>薄膜を形成する段階；前記非晶質Ta<sub>2</sub>O<sub>5</sub>薄膜をRTPにより結晶化させる段階及び前記結晶化したTa<sub>2</sub>O<sub>5</sub>薄膜上に、上部電極としてルテニウム膜又はTiN膜を形成する段階を含むことを特徴とする半導体メモリ素子のキャパシタの製造方法を提供する。

【0019】また、本発明は、半導体基板上に形成された層間絶縁膜のコンタクトホール内に、プラグポリシリコン膜及びバリヤー金属膜としてのTi/TiN膜を順次埋め込んだ半導体基板を作製する段階；前記半導体基板上にキャップオキシド膜を形成する段階；キャパシタ領域を限定し層間絶縁膜とバリヤー金属膜が露出するように、前記キャップオキシド膜をパターニングする段階；基板全面にNH<sub>3</sub>ガスプラズマ処理により薄膜の窒化膜を形成する段階；前記薄膜の窒化膜上に下部電極用ルテニウム膜を形成する段階；前記下部電極用ルテニウム膜と前記窒化膜を化学機械研磨した後、キャップオキシド膜を除去してシリンドラ構造の下部電極を形成する段階；前記下部電極上に非晶質Ta<sub>2</sub>O<sub>5</sub>薄膜を形成する段階；前記非晶質Ta<sub>2</sub>O<sub>5</sub>薄膜を熱処理することにより結晶化させる段階及び前記結晶化したTa<sub>2</sub>O<sub>5</sub>薄膜上に、上部電極として金属膜を形成する段階を含むことを特徴とする半導体メモリ素子のキャパシタの製造方法を提供する。

#### 【0020】

【発明の実施の形態】以下、本発明に係る半導体メモリ素子のキャパシタ製造方法を添付の図面を参照しながら詳しく説明する。

【0021】図3乃至図7は、本発明に係る半導体メモリ素子のキャパシタ製造方法の1実施形態を説明するための工程断面図である。

【0022】本発明方法を実施するにあたっては、図3に示すように、モストランジスタ（未図示）が備えられた半導体基板（未図示）上にモストランジスタの接合領域のうち何れか一つを露出させるコンタクトホール（未図示）を有する層間絶縁膜（14）を形成する。

【0023】その次に、前記層間絶縁膜（14）のコンタクトホール上にポリシリコン膜を形成した後、化学機械研磨（CMP）工程を利用し前記ポリシリコン膜を、層間絶縁膜（14）が露出するように研磨してプラグポリシリコン膜（15）を形成する。

【0024】次いで、前記プラグポリシリコン膜（15）の表面を、HF溶液やバッファオキシドエッチング剤を利用してエッチバックを行うことにより自然酸化膜を除去し、前記エッチバックされたポリシリコン膜（15）上にバリヤー金属膜としてのTi/TiN膜（16）を形成する。

【0025】その次に、前記層間絶縁膜（14）が露出するまでバリヤー金属膜（16）をCMP又はエッチバックする。

【0026】次いで、シリンドラ構造のキャパシタを形成するため、全体構造の上面にキャップオキシド膜を形成する。

【0027】その次に、シリンドラ形のキャパシタ領域を限定し(define)、層間絶縁膜（14）とバリヤー金属膜（16）が露出するように、キャップオキシド膜をパターニングして、パターニングされたキャップオキシド膜（17）を形成する。

【0028】次いで、図4に示すように、下部電極として金属膜を用いる場合、該下部電極の膜質及びステップカバレッジ（step coverage）によってリーク電流の特性を改善するため、下部電極の蒸着前に、NH<sub>3</sub>ガスによるプラズマを励起させることにより、窒化処理して半導体基板全面に均一な薄膜の窒化膜（18）を形成する。

【0029】このとき、NH<sub>3</sub>ガスの流量を1~900sccm、より好ましくは3~880sccm程度、さらにより好ましくは5~850sccm程度とし、高周波電力を3~900ワット、より好ましくは5~850ワット程度、さらにより好ましくは10~800ワット程度とし、圧力を0.1~2 torr程度、より好ましくは0.13~1.95 torr程度、さらにより好ましくは0.15~1.90 torr程度に維持し、処理時間を2~900秒、より好ましくは4~800秒程度、さらにより好ましくは6~750秒程度として窒化膜（18）を形成する。

【0030】その次に、図5に示すように、前記窒化膜（18）上に下部電極用ルテニウム膜（19）を蒸着する。このとき、原料物質のtris（2,4-octanedionate）Ruを気相状態にし、半導体基板の温度を200℃~350℃程度、より好ましくは230~330℃程度、さらにより好ましくは240~320℃程度に維持し、反応ガスのO<sub>2</sub>の流量を2~900sccm、より好ましくは4~850sccm程度、さらにより好ましくは6~800sccm程度に維持し、反応炉の圧力を2 mTorr ~9Torr、好ましくは4 mTorr~8.5Torr程度、より好ましくは5mTorr~8Torr程度に維持してルテニウム膜（19）を形成する。

【0031】次いで、図6に示すように、前記ルテニウム膜（19）と窒化膜（18）をキャップオキシド膜（17）が露出するまで化学機械研磨した後、キャップオキシド膜（17）を除去してシリンドラ構造のルテニウム膜（19a）を下部電極として形成する。

【0032】その次に、前記シリンドラ構造のルテニウム膜（19a）上に誘電率の優れた非晶質Ta<sub>2</sub>O<sub>5</sub>薄膜（20）を形成する。

【0033】このとき、前記非晶質Ta<sub>2</sub>O<sub>5</sub>薄膜（20）は化学気相成長方式、例えばPCVD方式により形成するが、原料物質のタンタルエチレート（Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>）を170~190℃程度、より好ましくは173~187℃程度、さらにより好ましくは175~185℃程度に維持した気化器で気相状態にし、0.1~1.2Torr程度、より好ましくは0.13~1.19Torr程度、さらにより好ましくは0.15~1.16Torr程度の圧力及び300~400℃程度、より好ましくは310~390℃程

度、さらにより好ましくは330～385℃程度の温度を維持するとともに、NH<sub>3</sub> ガスを供給したLPCVDチャンパー内で、10～1000sccm程度、より好ましくは15～950sccm程度、さらにより好ましくは20～900sccm程度の流量のNH<sub>3</sub> と前記原料物質から得られたTa化学蒸気との反応により形成する。

【0034】次いで、キャパシタの電気的特性を考慮して、後続熱工程として、300～500℃程度、より好ましくは330～480℃程度、さらにより好ましくは350～450℃程度でのN<sub>2</sub> O プラズマ処理又はUV/O<sub>2</sub> 処理を行う。

【0035】その次に、図7に示すように、前記非晶質TaON薄膜(20)に、N<sub>2</sub> ガスとO<sub>2</sub> とを利用した、500～650℃程度、より好ましくは530～620℃程度、さらにより好ましくは550～610℃程度でのRTPを行い、結晶化したTaON薄膜(20a)を形成する。

【0036】その次に、前記結晶化したTaON薄膜(20a)上に、上部電極(21)として好ましくは金属膜のルテニウム膜又はTiN膜を形成する。

【0037】以上、本発明の1実施形態を説明したが、本発明はその要旨を外れない範囲で多様に変更して行うことができる。

【0038】

【発明の効果】前記説明したように、本発明に係る半導体メモリ素子のキャパシタの製造方法によると、金属膜を下部電極として用いる場合において、該下部電極の膜質及びステップカバレッジ、即ち蒸着状態によってリーク電流の特性を改善するため、下部電極としてのルテニウム膜の蒸着前に、その下部層を、NH<sub>3</sub> ガスのプラズマを励起させて窒化処理することにより、均一な薄膜の窒化膜を形成し、その上にルテニウム膜を蒸着する。

【0039】この結果、前記均一な窒化膜により下部電極のルテニウム膜のステップカバレッジを改善し、TaON薄膜キャパシタの電気的特性を向上させることができる。

【図面の簡単な説明】

【図1】従来の半導体メモリ素子のキャパシタの製造方

法を説明するための1工程断面図である。

【図2】従来の半導体メモリ素子のキャパシタの製造方法を説明するための他の工程断面図である。

【図3】本発明に係る半導体メモリ素子のキャパシタの製造方法を説明するための1工程断面図である。

【図4】本発明に係る半導体メモリ素子のキャパシタの製造方法を説明するための他の工程断面図である。

【図5】本発明に係る半導体メモリ素子のキャパシタの製造方法を説明するためのさらに他の工程断面図である。

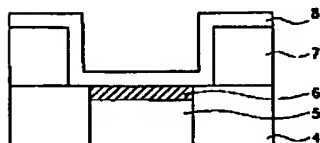
【図6】本発明に係る半導体メモリ素子のキャパシタの製造方法を説明するためのさらに他の工程断面図である。

【図7】本発明に係る半導体メモリ素子のキャパシタの製造方法を説明するためのさらに他の工程断面図である。

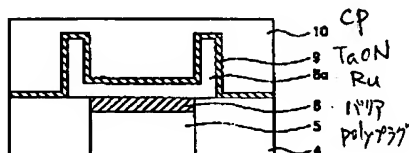
【符号の説明】

- 4 層間絶縁膜
- 5 プラグポリシリコン膜
- 6 バリヤー金属膜
- 7 バターニングされたキャップオキシド膜
- 8 ルテニウム膜
- 8a 下部電極(シリンドラ構造のルテニウム膜)
- 9 TaON膜
- 10 上部電極
- 14 層間絶縁膜
- 15 プラグポリシリコン膜
- 16 バリヤー金属膜
- 17 キャップオキシド膜
- 18 窒化膜
- 19 ルテニウム膜
- 19a 下部電極(シリンドラ構造のルテニウム膜)
- 20 非晶質TaON薄膜
- 20a 結晶化TaON膜
- 21 上部電極

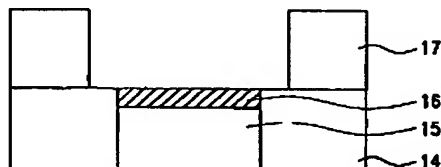
【図1】



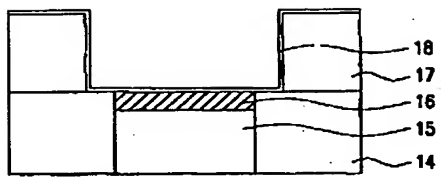
【図2】



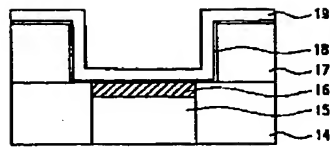
【図3】



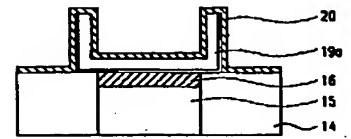
【図4】



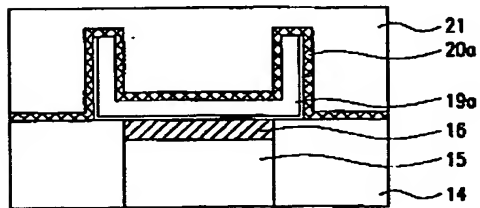
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 4K030 AA11 AA13 BA17 BA38 BA42  
 BB05 CA04 DA09 FA10 JA05  
 JA09 JA10 LA15  
 5F058 BA11 BF04 BF27 BF29 BF30  
 BH03 BJ02  
 5F083 AD24 GA06 JA05 JA38 JA39  
 MA06 MA17 NA08 PR22